

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321842

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 S

3 0 1 J

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21) 出願番号 特願平9-125904

(22) 出願日 平成9年(1997)5月15日

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地 1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 茂 原 宏

大分県大分市大字松岡3500番地 株式会社
東芝大分工場内

(72) 発明者 衣 笠 昌 典

神奈川県川崎市幸区堀川町580番 1 号 株
式会社東芝半導体システム技術センター内

(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

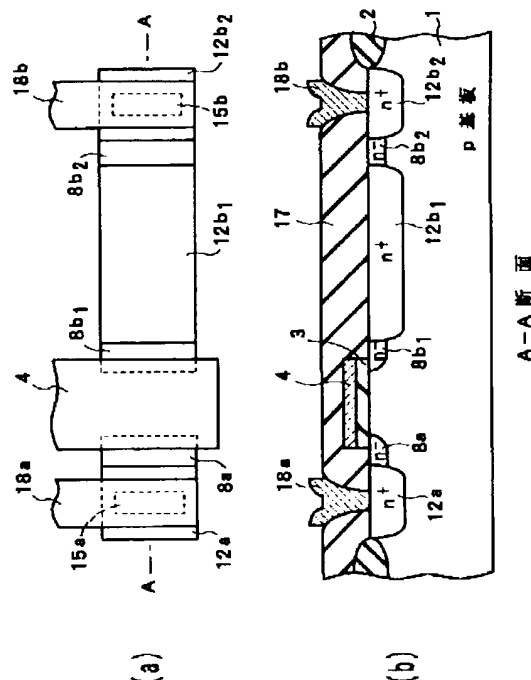
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 サージ電圧が印加されても素子特性が劣化するのを可及的に防止するとともに素子サイズを可及的に小さくすることを可能にする。

【解決手段】 第1導電型の半導体基板1と、この半導体基板上に形成されたゲート電極4と、半導体基板におけるゲート電極の両側の領域のうちの一方の領域に、ゲート電極と近接して形成された第2導電型の第1のドレイン領域12b₁と、半導体基板におけるゲート電極の両側の領域のうちの他方の領域に、ゲート電極と近接して形成された第2導電型のソース領域12aと、一方の領域に第1のドレイン領域とは分離されかつこの第1のドレイン領域よりもソース領域から離れて形成された第2導電型の第2のドレイン領域12b₂と、第1および第2のドレイン領域を接続し、第1および第2のドレイン領域よりも抵抗の高い第1の接続部8b₂と、第2のドレイン領域に電氣的に接続するように形成されたドレイン電極18bと、ソース領域と電氣的に接続するように形成されたソース電極18aと、を備えていることを特徴とする。



【特許請求の範囲】

【請求項1】第1導電型の半導体基板と、
この半導体基板上に形成されたゲート電極と、
前記半導体基板における前記ゲート電極の両側の領域のうちの一方の領域に、前記ゲート電極と近接して形成された第2導電型の第1のドレイン領域と、
前記半導体基板における前記ゲート電極の両側の領域のうちの他方の領域に、前記ゲート電極と近接して形成された第2導電型のソース領域と、
前記一方の領域に、前記第1のドレイン領域とは隔離されかつこの第1のドレイン領域よりも前記ソース領域から離れて形成された第2導電型の第2のドレイン領域と、
前記第1および第2のドレイン領域を接続し、前記第1および第2のドレイン領域よりも抵抗の高い第1の接続部と、
前記第2のドレイン領域に電氣的に接続するように形成されたドレイン電極と、
前記ソース領域と電氣的に接続するように形成されたソース電極と、
を備えていることを特徴とする半導体装置。

【請求項2】前記ゲート電極直下のチャネルとなる前記半導体基板の領域と前記第1のドレイン領域との間に、前記第1および第2ドレイン領域よりも不純物濃度の低い第2導電型の拡散層領域が形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】前記第1の接続部は前記第1および第2のドレイン領域と同じ導電型でかつ不純物濃度が略同じ拡散層領域からなり、前記第1および第2のドレイン領域よりも幅が狭いことを特徴とする請求項1または2記載の半導体装置。

【請求項4】前記第1の接続部は、前記第1および第2のドレイン領域よりも不純物濃度の低い第2導電型の拡散層領域からなることを特徴とする請求項1または2記載の半導体装置。

【請求項5】前記第1および第2のドレイン領域は、前記半導体基板上に設けられた、前記第1および第2のドレイン領域よりも濃度の低い第2の導電型の拡散層領域によって囲まれていることを特徴とする請求項1乃至4のいずれかに記載の半導体装置。

【請求項6】前記ソース領域と、前記ゲート電極直下のチャネルとなる前記半導体基板の領域との間に、前記ソース領域よりも不純物濃度の低い第2導電型の拡散層領域が形成されていることを特徴とする請求項1乃至5のいずれかに記載の半導体装置。

【請求項7】前記ソース領域は、前記ゲート電極と近接して形成された第1のソース領域と、この第1のソース領域とは隔離されかつこの第1のソース領域よりも前記第1および第2のドレイン領域から離れて形成された第2のソース領域とを有し、前記第1および第2のソース

領域は、これら第1および第2のソース領域よりも抵抗の高い第2の接続部によって接続され、前記第2のソース領域に前記ソース電極は接続されていることを特徴とする請求項1乃至6のいずれかに記載の半導体装置。

【請求項8】前記第2の接続部は、前記第1および第2ソース領域と同じ導電型でかつ不純物濃度が略同じ拡散層領域からなり、前記第1および第2のソース領域よりも幅が狭いことを特徴とする請求項7記載の半導体装置。

10 【請求項9】前記第2の接続部は、前記第1および第2のソース領域よりも不純物濃度の低い第2導電型の拡散層領域からなることを特徴とする請求項7記載の半導体装置。

【請求項10】前記ソース領域は、前記半導体基板上に設けられた、前記ソース領域よりも濃度の低い第2導電型の拡散層領域によって囲まれていることを特徴とする請求項1乃至9のいずれかに記載の半導体装置。

20 【請求項11】前記第1の接続部は、前記ゲート電極と前記ドレイン電極の間で前記ドレイン電極と近接して形成されていることを特徴とする請求項1乃至10のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関する。

【0002】

30 【従来の技術】nMOSトランジスタを有する従来の半導体装置の平面図を図12(a)に示し、切断線A-Aで切断したときの断面図を図12(b)に示す。このnMOSトランジスタはLDD構造のトランジスタであってp型基板1の素子領域に形成されている。この素子領域はp型基板1に例えばLOCOS法で形成された素子分離絶縁膜2によって他の素子とは絶縁分離されている。上記素子領域上にゲート絶縁膜3を介してゲート電極4が形成されている。

40 【0003】そしてこのゲート電極4の両側にソース領域、ドレイン領域となる高濃度のn⁺拡散層領域12a、12bが形成されている。またこれらのn⁺拡散層領域12a、12bと、ゲート電極直下のチャネルとなる領域との間には低濃度のn⁻拡散層領域8a、8bが形成されている。これらの低濃度および高濃度の拡散層領域ならびにゲート電極4は層間絶縁膜17によって覆われている。そしてこの層間絶縁膜17には、ソース領域12aおよびドレイン領域12bとのコンタクト15a、15bを取るためのコンタクト孔が設けられており、このコンタクト孔を埋め込むようにソース電極18aおよびドレイン電極18bが形成されている。

50 【0004】また、nMOSトランジスタを有する従来の他の半導体装置の平面図を図13(a)に示し、切断線A-Aで切断したときの断面図を図13(b)に示

す。この図13に示すnMOSトランジスタは、図12に示すnMOSトランジスタにおいて、低濃度のn⁺拡散層領域8a、8bで高濃度のn⁺拡散層領域12a、12bを包むように形成したものである。

【0005】

【発明が解決しようとする課題】このような従来のnMOSトランジスタのソース電極18aとp型基板1が接地電源に接続された状態で、ドレイン電極18bにサージ電圧が印加されると、パンチスルー等の現象によってMOSトランジスタのチャンネル部分に電流が流れるとともに、ドレイン領域12b、p型基板1およびソース領域12aから構成されるnpn型寄生バイポーラトランジスタがONすることによってこの寄生バイポーラトランジスタに電流が流れ、接地電源に流れ込む。

【0006】寄生バイポーラトランジスタがONすることによって流れる電流はアバランシェ降伏現象を引き起こし、非常に大きな電流が一気に流れることになる。このためドレイン側の拡散層領域8bまたは12bと、p型基板1との間のpn接合部が熱破壊を起こす場合があり好ましくない。

【0007】この対策として例えば図14に示すように、サージ電圧の印加点25と、ドレイン電極18bとの間に電流制限用の抵抗20を挿入する方法が用いられる。このとき、上記抵抗20としては例えば、ポリシリコンからなる抵抗や、拡散層からなる抵抗が用いられる。ポリシリコンからなる抵抗を用いた場合は、サージ電圧によって焼き切れないように、ある程度の太さにする必要がある。また、拡散層からなる抵抗を用いた場合は、サージ電圧によりpn接合の降伏が生じ易く、抵抗としての機能が低下する可能性がある。更に拡散抵抗と、トランジスタのソース間でのアバランシェ降伏により抵抗としての役目が損われることを防止するために、拡散抵抗とトランジスタを分離し、かつ十分に隔離する必要がある。したがって半導体基板表面で広い面積を取ることが必要となる。すなわち、いずれにしてもESD (Electro Static Discharge) 対策用の素子として大きな面積が必要となり、好ましくない。

【0008】一方、電流制限用の抵抗20を用いる方法の代わりとして、アバランシェ降伏を起こすnpn型の寄生バイポーラトランジスタの電流増幅率を小さくして電流値が熱破壊を起こさない程度に制御することも考えられる。このため、図15または図16に示すように、ソース領域のコンタクト15aとドレイン領域のコンタクト15bとの間を所定距離、離すことにより電流増幅率を下げる事が採られる。これは、サージ電圧はドレイン電極18bからコンタクト15bを介してドレイン領域12bに伝わり、コンタクト15b直下のp型基板1に抜けてアバランシェ降伏を起こすというモデルに基づいている。なお、図15および図16に示すnMOSトランジスタは、各々図12および図13に示すnMOS

トランジスタのコンタクト15aとコンタクト15bとの距離を広げた構成となっている。

【0009】このように、サージ電圧はコンタクト15b直下のp型基板1に抜けアバランシェ降伏を起こす。しかし従来のnMOSトランジスタにおいては、n⁺拡散層領域12bのシート抵抗が例えば25Ω程度と低いために、n⁺拡散層領域12bのゲート電極1により近い部分でも基板1に抜け、アバランシェ降伏を起こす。このため、図15または図16に示すような構造のnMOSトランジスタにおいても、熱破壊を起こさない適度なコンタクト間の距離を取る必要がある。すなわち、コンタクト15b直下のp型基板1に抜けてアバランシェ降伏を起こすというモデルに基づいて決まるコンタクト間の距離よりも、実際には長い距離が必要となる。このため、ESD対策用のトランジスタ素子のサイズが大きくなり、好ましくない。

【0010】本発明は上記事情を考慮してなされたものであって、サージ電圧が印加されても素子特性が劣化するのを可及的に防止できるとともに素子サイズが可及的に小さなMOSトランジスタを有する半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明による半導体装置は、第1導電型の半導体基板と、この半導体基板上に形成されたゲート電極と、前記半導体基板における前記ゲート電極の両側の領域のうちの一方の領域に前記ゲート電極と近接して形成された第2導電型の第1のドレイン領域と、前記半導体基板における前記ゲート電極の両側の領域のうちの他方の領域に、前記ゲート電極と近接して形成された第2導電型のソース領域と、前記一方の領域に、前記第1のドレイン領域とは隔離されかつこの第1のドレイン領域よりも前記ソース領域から離れて形成された第2導電型の第2のドレイン領域と、前記第1および第2のドレイン領域を接続し、前記第1および第2のドレイン領域よりも抵抗の高い第1の接続部と、前記第2のドレイン領域に電氣的に接続するように形成されたドレイン電極と、前記ソース領域と電氣的に接続するように形成されたソース電極と、を備えていることを特徴とする。

【0012】また、前記ゲート電極直下のチャンネルとなる前記半導体基板の領域と前記第1のドレイン領域との間に、前記第1および第2ドレイン領域よりも不純物濃度の低い第2導電型の拡散層領域が形成されていても良い。

【0013】また、前記第1の接続部は前記第1および第2のドレイン領域と同じ導電型でかつ不純物濃度が略同じ拡散層領域からなり、前記第1および第2のドレイン領域よりも幅が狭くなるように形成しても良い。

【0014】また、前記第1の接続部は、前記第1および第2のドレイン領域よりも不純物濃度の低い第2導電

10

20

30

40

50

型の拡散層領域からなるように形成しても良い。

【0015】また、前記第1および第2のドレイン領域は、前記半導体基板に設けられた、前記第1および第2のドレイン領域よりも濃度の低い第2の導電型の拡散層領域によって囲まれているように構成しても良い。

【0016】また、前記ソース領域と、前記ゲート電極直下のチャネルとなる前記半導体基板の領域との間に、前記ソース領域よりも不純物濃度の低い第2導電型の拡散層領域が形成されていても良い。

【0017】また、前記ソース領域は、前記ゲート電極の近くに形成された第1のソース領域と、この第1のソース領域とは隔離されかつこの第1のソース領域よりも前記ドレイン領域から離れて形成された第2のソース領域とを有し、前記第1および第2のソース領域は、これら第1および第2のソース領域よりも抵抗の高い第2の接続部によって接続され、前記第2のソース領域に前記ソース電極は接続されているように構成しても良い。

【0018】また、前記第2の接続部は、前記第1および第2ソース領域と同じ導電型でかつ不純物濃度が略同じ拡散層領域からなり、前記第1および第2のソース領域よりも幅が狭いように形成することが可能である。

【0019】前記第2の接続部は、前記第1および第2のソース領域よりも不純物濃度の低い第2導電型の拡散層領域からなるように形成しても良い。

【0020】また、前記ソース領域は、前記半導体基板側に設けられた、前記ソース領域よりも濃度の低い第2導電型の拡散層領域によって囲まれているように構成しても良い。

【0021】また、前記第1の接続部は、前記ゲート電極と前記ドレイン電極の間で前記ドレイン電極と近接して形成することが好ましい。

【0022】

【発明の実施の形態】本発明による半導体装置の第1の実施の形態を図1を参照して説明する。この第1の実施の形態の半導体装置の平面図を図1(a)に示し、切断線A-Aで切断した際の断面図を図1(b)に示す。この第1の実施の形態の半導体装置はLDD構造のnMOSトランジスタを有している。このnMOSトランジスタは、p型基板1の素子領域に形成され、この素子領域はp型基板1に形成された素子分離絶縁膜2によって他の素子とは絶縁分離されている。この素子領域上にはゲート絶縁膜3を介してゲート電極4が形成されている。

【0023】そしてこのゲート電極4によって分けられた一方の側のp型基板1の領域にソース領域となるn⁺拡散層領域12aがゲート電極4の直下のチャネルとなる領域から離れて形成されている。ソース領域12aとチャネルとなる領域との間のp型基板1の領域にはn⁺拡散層領域12aよりも低濃度のn⁻拡散層領域8aが設けられている。例えばn⁺拡散層領域12aのシート抵抗値が25Ω程度とすると、n⁻拡散層領域8aのシ

ート抵抗値は1kΩ程度となる濃度とする。

【0024】またゲート電極4によって分けられた他方の側のp型基板1の領域には、ドレイン領域となる高濃度のn⁺拡散層領域12b₁、12b₂が離れて形成されている。チャネルとなる領域とn⁺拡散層領域12b₁との間のp型基板1の領域にはn⁺拡散層領域12b₁に接続された低濃度のn⁻拡散層領域8b₁が形成され、n⁺拡散層領域12b₁とn⁺拡散層領域12b₂との間のp型基板1の領域にはこれらのn⁺拡散層領域12b₁、12b₂に接続された低濃度のn⁻拡散層領域8b₂が形成されている。なお、このn⁻拡散層領域8b₂はコンタクト15bの近傍に形成することが好ましい。

【0025】これらの拡散層領域およびゲート電極4は層間絶縁膜17によって覆われている。そしてこの層間絶縁膜17には、ソース領域12aおよびドレイン領域12b₂とのコンタクト15a、15bを取るためのコンタクト孔が設けられており、このコンタクト孔を埋め込むようにソース電極18aおよびドレイン電極18bが形成されている。

【0026】このように構成された本実施の形態の半導体装置によれば、ドレイン領域となるn⁺拡散層領域12b₁、12b₂が、これらのn⁺拡散層領域12b₁、12b₂よりもシート抵抗の高いn⁻拡散層領域8b₂によって分割されているとともに、このn⁻拡散層領域8b₂はコンタクト15bの近傍に置かれている。このため、サージ電圧がドレイン電極18bに印加されても、コンタクト15bおよびn⁺拡散層領域12b₂を介して縦方向にp型基板1に抜けてアバランシェ降伏を起こす。しかし横方向には高抵抗のn⁻拡散層領域8b₂があるのでサージ電圧は伝わりにくく、仮にこのn⁻拡散層領域8b₂を経由してn⁺拡散層領域12b₁に伝わってもアバランシェ降伏を起こしにくい。

【0027】したがって、コンタクト15b直下のp型基板1に抜けてアバランシェ降伏を起こすというモデルに基づいて決まるコンタクト間の距離に等しくなるように、コンタクト15aとコンタクト15bを実際に配置しても素子が破壊されることはない。これにより従来よりも素子のサイズを小さくすることができる。

【0028】次に本発明による半導体装置の第2の実施の形態を図2を参照して説明する。この第2の実施の形態の半導体装置の平面図を図2(a)に示し、切断線A-Aで切断した際の断面図を図2(b)に示す。

【0029】この第2の実施の形態の半導体装置は、図1に示す第1の実施の形態の半導体装置において、ドレイン側のn⁻拡散層領域8b₁、8b₂がn⁺拡散層領域12b₁、12b₂を包むように形成されて共通のn⁻拡散層領域8bとなるとともにソース側のn⁻拡散層領域8aがn⁺拡散層領域12aを包むように形成された構成となっている。

【0030】したがって、この第2の実施の形態においても、高抵抗の n^- 拡散層領域8bが、ドレイン領域となる n^+ 拡散層領域12b₁、12b₂を分断するようにかつドレイン側のコンタクト15bの近傍に位置するように形成されているため、第1の実施の形態と同様の効果を奏することは言うまでもない。

【0031】次に本発明による半導体装置の第3の実施の形態を図3を参照して説明する。この第3の実施の形態の半導体装置の平面図を図3(a)に示し、切断線A-Aで切断した際の断面図を図3(b)に示す。

【0032】この第3の実施の形態の半導体装置は、図1に示す第1の実施の形態の半導体装置において、ソース側の n^- 拡散層領域8aを削除したものである。ドレイン側の構造は第1の実施の形態と同一のため、この第3の実施の形態も第1の実施の形態と同様の効果を奏することは言うまでもない。

【0033】次に本発明による半導体装置の構成を図4に示す。図4(a)は第4の実施の形態の半導体装置の平面図であり、図4(b)は切断線A-Aで切断した場合の断面図である。

【0034】この第4の実施の形態の半導体装置は、図2に示す第2の実施の形態の半導体装置において、ソース側の n^- 拡散層領域8aを削除したものである。

【0035】この第4の実施の形態の半導体装置のドレイン側の構造は第2の実施の形態の半導体装置と同一のため、第4の実施の形態も第2の実施の形態と同様の効果を奏することは言うまでもない。

【0036】次に、第4の実施の形態の半導体装置の製造方法を、本発明の第5の実施の形態として説明する。

【0037】本発明の第5の実施の形態の製造工程断面図を図5に示す。まず、p型基板1に例えばLOCOS法等により素子分離絶縁膜2を形成し、素子分離を行う(図5(a)参照)。続いて基板全面にゲート絶縁膜3およびゲート電極材料、例えばポリシリコンからなる膜を堆積した後、パターニングすることにより、素子領域にゲート電極4を形成する(図5(a)参照)。

【0038】次に図5(b)に示すように、ドレイン形成予定領域に開口部を有するフォトレジストからなるレジストパターン5を形成し、このレジストパターン5をマスクにして不純物をイオン注入することにより、 n^- 拡散層領域8bを形成する(図5(b)参照)。

【0039】次に上記レジストパターン5を除去した後、図5(c)に示すようなフォトレジストからなるレジストパターン6を形成する。そしてこのレジストパターン6をマスクにして不純物をイオン注入することにより、 n^+ 拡散層領域12a、12b₁、12b₂を形成する(図5(c)参照)。なお、 n^+ 拡散層領域12a、12b₁、12b₂は n^- 拡散層領域8bよりも浅いが不純物濃度が高くなるように形成される。

【0040】次に上記レジストパターン6を除去した

後、図5(d)に示すように基板全面に層間絶縁膜17を堆積し、パターニングすることにより n^+ 拡散層領域12a、12b₂とのコンタクトを取るための接続孔を開孔する。その後、導電性の材料からなる膜を上記接続孔を埋め込むように堆積し、パターニングすることにより、ソース電極18aおよびドレイン電極18bを形成し、MOSTランジスタを完成する。

【0041】次に本発明の第6の実施の形態を図6を参照して説明する。この第6の実施の形態は半導体装置であって、その平面図を図6(a)に示し、切断線A-Aで切断した際の断面図を図6(b)に示す。

【0042】この第6の実施の形態の半導体装置は、図1に示す第1の実施の形態の半導体装置において、ソース領域となる n^+ 拡散層領域12aが、ドレイン側と同様に n^- 拡散層領域で分割された構成となっている。すなわち、 n^+ 拡散層領域12aは2つの n^+ 拡散層領域12a₁、12a₂に分割され、これらの n^+ 拡散層領域12a₁、12a₂の間には n^- 拡散層領域8a₁が設けられ、 n^+ 拡散層領域12a₂とゲート電極4直下のチャンネル領域との間には n^- 拡散層領域8a₂が設けられた構成となっている。そして、 n^+ 拡散層領域12a₁とゲート電極18aとはコンタクト15aを介して電気的に接続されている。

【0043】この第6の実施の形態の半導体装置は、ドレイン側が第1の実施の形態と同じ構造となっているので、第1の実施の形態と同様の効果を有することは言うまでもない。

【0044】さらに、ソース側とドレイン側が同様の構造、すなわち n^+ 拡散層をコンタクト近傍で分割し、両者を一拡散層で接続する構造なので、ドレインとソースとを逆にしてもESD対策用として使用することが可能となり、例えばトランスマッションゲートへの応用に有効である。

【0045】次に本発明の第7の実施の形態を図7を参照して説明する。この第7の実施の形態は半導体装置であって、その平面図を図7(a)に示し、切断線A-Aで切断した際の断面図を図7(b)に示す。

【0046】この第7の実施の形態の半導体装置は、図6に示す第6の実施の形態の半導体装置において、ドレイン側の n^+ 拡散層領域12b₁、12b₂を n^- 拡散層領域8bが包むような構成を有するとともにソース側の n^+ 拡散層領域12a₁、12a₂を n^- 拡散層領域8aが包むような構成を有している。

【0047】この第7の実施の形態の半導体装置も第6の実施の形態の半導体装置と同様の効果を奏することは言うまでもない。

【0048】次に本発明の第8の実施の形態を図8を参照して説明する。この第8の実施の形態は半導体装置であって、その平面図を図8(a)に示し、切断線A-Aで切断した際の断面図を図8(b)に示す。

【0049】この第8の実施の形態の半導体装置は、図3に示す第3の実施の形態の半導体装置において、 n^- 拡散層領域8b₂を設ける代わりにドレイン領域となる2つの n^+ 拡散層領域12b₁、12b₂を、コンタクト15bの近傍で幅の狭い n^+ 拡散層領域からなる接続部13によって連結したものである。図8(b)においては接続部13を介して連結された n^+ 拡散層領域12b₁、12b₂が n^+ 拡散層領域12bとして表示されている。

【0050】上記接続部13は n^+ 拡散層領域12bよりも、幅の狭い分だけ抵抗値が高くなる。このため、ドレイン電極18bにサージ電圧が印加されても、接続部13を通してゲート側の n^+ 拡散層領域12b₁には伝わりにくく、上記ゲート側の n^+ 拡散層領域12b₁ではアバランシェ降伏が起こるのを可及的に防止することができる。

【0051】これにより第8の実施の形態も第3の実施の形態と同様の効果を奏することは云うまでもない。

【0052】次に本発明の第9の実施の形態を図9を参照して説明する。この第9の実施の形態は半導体装置であって、その平面図を図9(a)に示し、切断線A-Aで切断した断面図を図9(b)に示す。

【0053】この第9の実施の形態の半導体装置は、図8に示す第8の実施の形態の半導体装置において、 n^- 拡散層領域8bを n^+ 拡散層領域12bを包むように形成したものである。

【0054】この第9の実施の形態も第8の実施の形態と同様の効果を奏することは云うまでもない。

【0055】次に本発明の第10の実施の形態を図10を参照して説明する。この実施の形態は半導体装置であって、その平面図を図10(a)に示し、切断線A-Aで切断した際の断面図を図10(b)に示す。

【0056】この第10の実施の形態の半導体装置は図8に示す第8の実施の形態の半導体装置において、ソース領域12aとゲート電極4直下のチャネル領域との間に n^- 拡散層領域8aを設けるとともに、ソース領域12aを互いに離隔した2つの n^+ 拡散層領域12a₁、12a₂で形成し、更にこれらをドレイン側と同様に幅の狭い n^+ 拡散層領域からなる接続部13aによって連結したものである。図10(b)においては、接続部13aを介して連結された n^+ 拡散層領域12a₁、12a₂が n^+ 拡散層領域12aとして表示されている。なお図10(a)でドレイン側の接続部は符号13bが付されている。

【0057】この第10の実施の形態の半導体装置はドレイン側が第8の実施の形態と同じ構造となっているので、第8の実施の形態と同様の効果を奏することは云うまでもない。

【0058】次に本発明による第11の実施の形態を図11を参照して説明する。この第11の実施の形態は半

導体装置であって、その平面図を図11(a)に示し、切断線A-Aで切断した際の断面図を図11(b)に示す。

【0059】この第11の実施の形態の半導体装置は、図10に示す第10の実施の形態の半導体装置において、ドレイン側の n^- 拡散層領域8bが、 n^+ 拡散層領域12bを包むように形成され、ソース側の n^- 拡散層領域8aが n^+ 拡散層領域12aを包むように形成される構成となっている。

【0060】この第11の実施の形態の半導体装置も第10の半導体装置と同様の効果を奏することは云うまでもない。

【0061】なお第5の実施の形態の製造方法から分かるように、本発明の半導体装置においては、マスクLDDによるLDD構造のMOSトランジスタの構造プロセスを利用すれば、特に工程数を増やすことなく本発明の構造を実現することができる。このことは第4の実施の形態の半導体装置ばかりでなく、他の実施の形態の半導体装置についても同様である。

【0062】以上、上記実施の形態においてはnMOSトランジスタについて説明したがpMOSトランジスタについても同様である。また、図1〜図11では、 n^- 拡散層の長さを全て同一の長さで示したが、図中の各 n^- 拡散層をそれぞれ異なる長さで形成しても良く、その他本発明の主旨を逸脱しない範囲で種々変形して実施することができる。

【0063】

【発明の効果】以上述べたように本発明の半導体装置によれば、サージ電圧が印加されても素子特性が劣化するのを可及的に防止できるとともに素子サイズを可及的に小さくすることができる。

【図面の簡単な説明】

- 【図1】本発明の第1の実施の形態の構成図。
- 【図2】本発明の第2の実施の形態の構成図。
- 【図3】本発明の第3の実施の形態の構成図。
- 【図4】本発明の第4の実施の形態の構成図。
- 【図5】本発明の第5の実施の形態の構成図。
- 【図6】本発明の第6の実施の形態の構成図。
- 【図7】本発明の第7の実施の形態の構成図。
- 【図8】本発明の第8の実施の形態の構成図。
- 【図9】本発明の第9の実施の形態の構成図。
- 【図10】本発明の第10の実施の形態の構成図。
- 【図11】本発明の第11の実施の形態の構成図。
- 【図12】従来の半導体装置の構成図。
- 【図13】従来の半導体装置の他の構成図。
- 【図14】従来の半導体装置の平面図。
- 【図15】従来の半導体装置の構成図。
- 【図16】従来の半導体装置の構成図。

【符号の説明】

1 p型基板

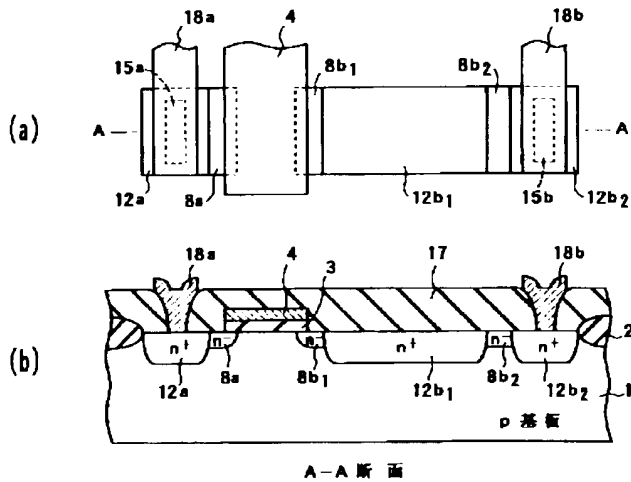
11

12

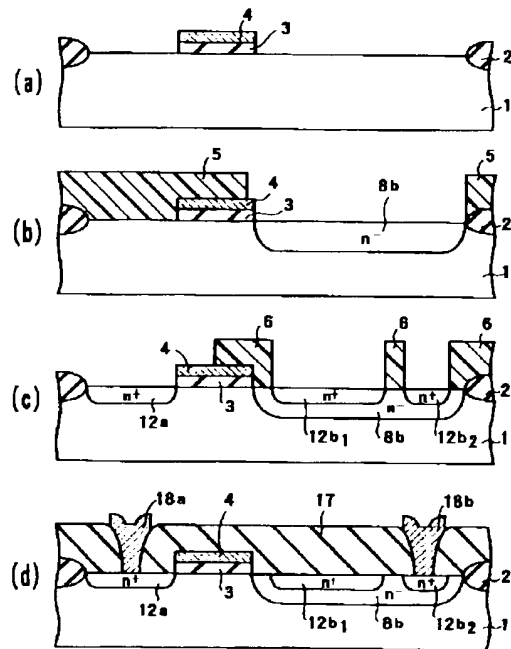
- 2 素子分離絶縁膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 レジストパターン
- 6 レジストパターン
- 8a n⁻拡散層領域
- 8b n⁻拡散層領域

- 12a n⁺拡散層領域
- 12b₁, 12b₂ n⁺拡散層領域
- 15a, 15b コンタクト
- 17 層間絶縁膜
- 18a ソース電極
- 18b ドレイン電極

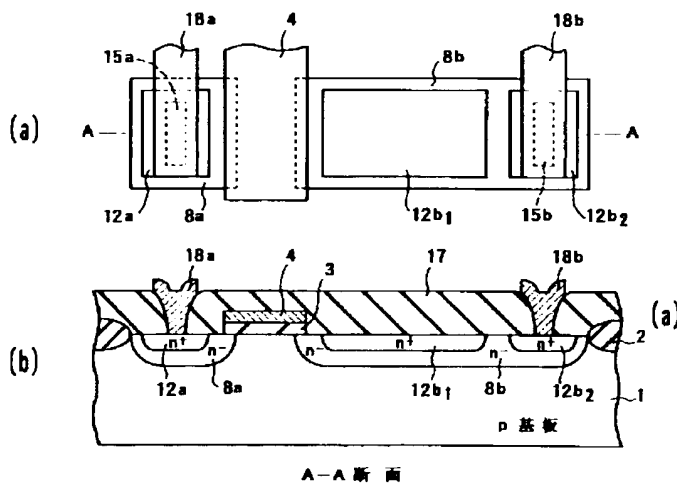
【図1】



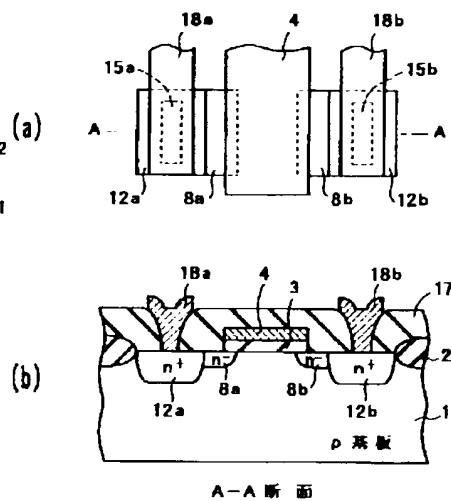
【図5】



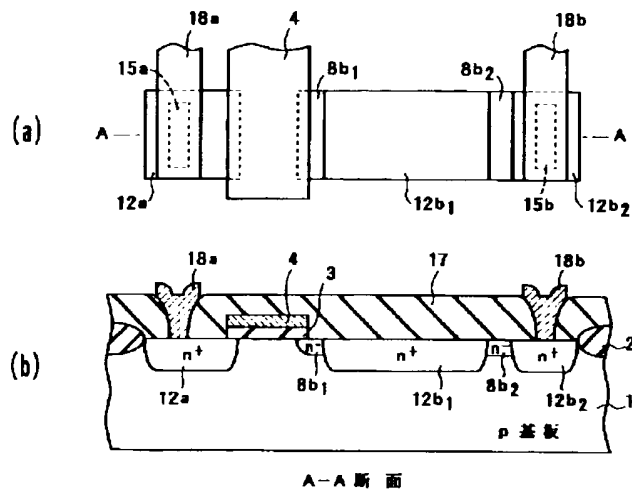
【図2】



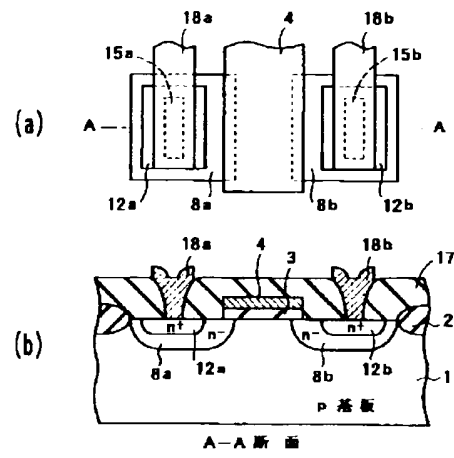
【図12】



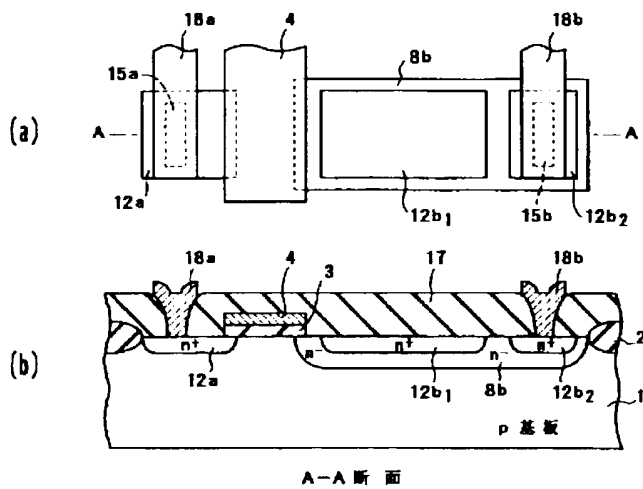
【図3】



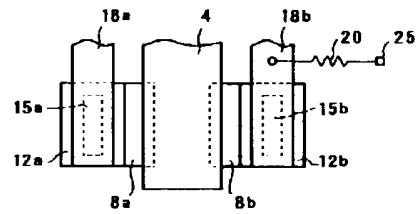
【図13】



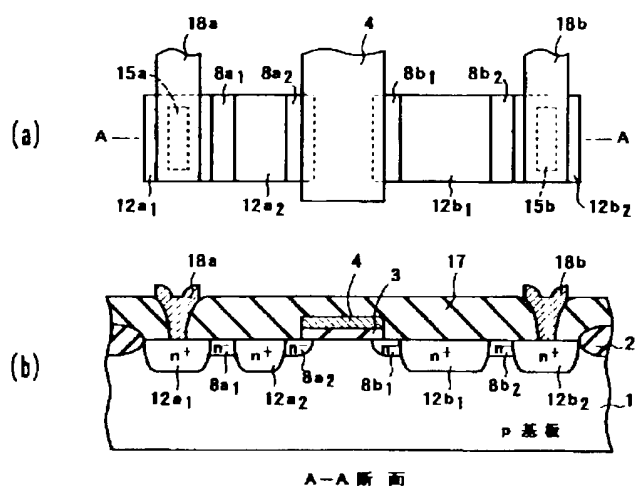
【図4】



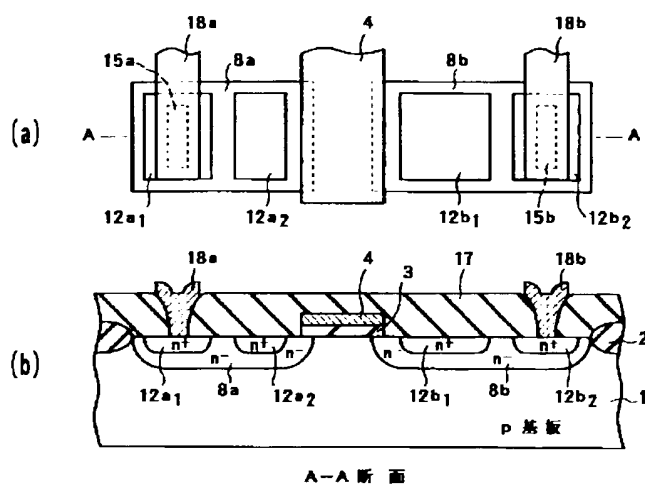
【図14】



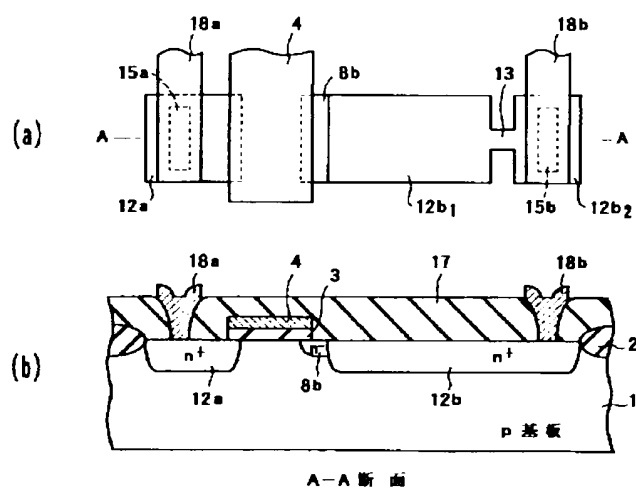
【図6】



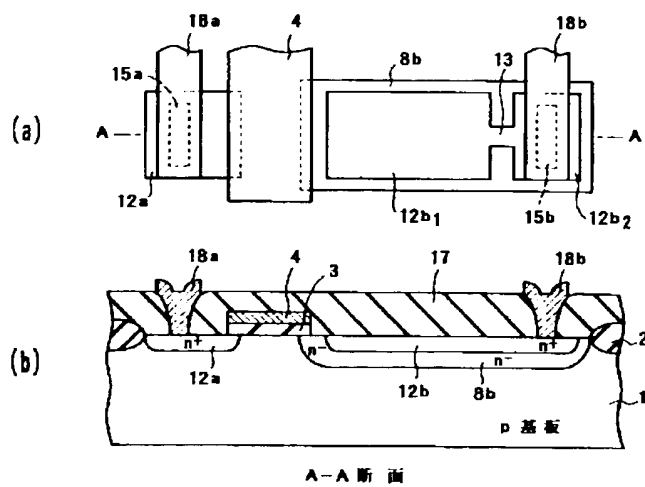
【図7】



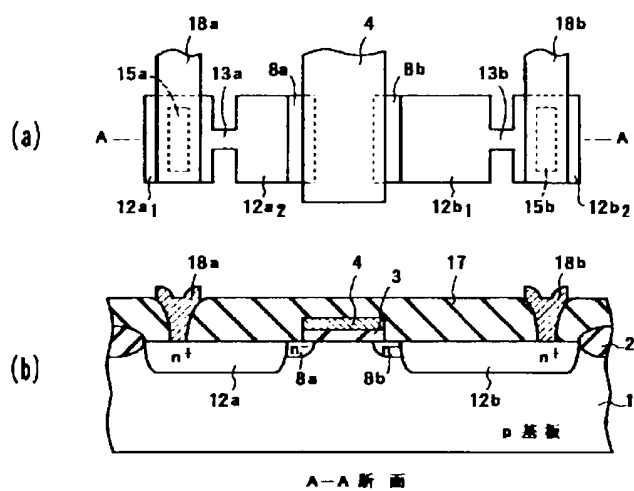
【例8】



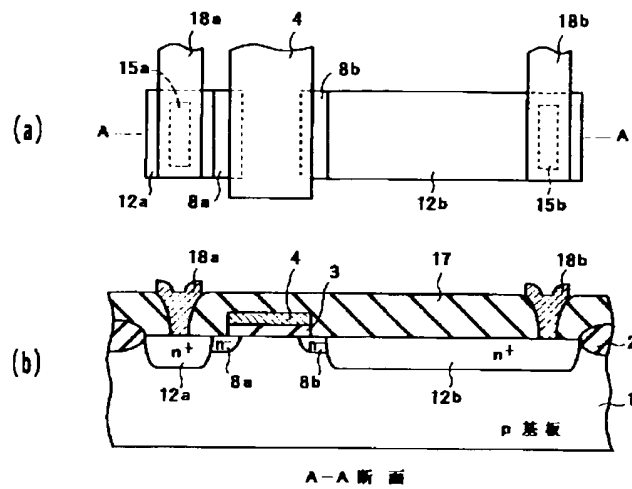
【图9】



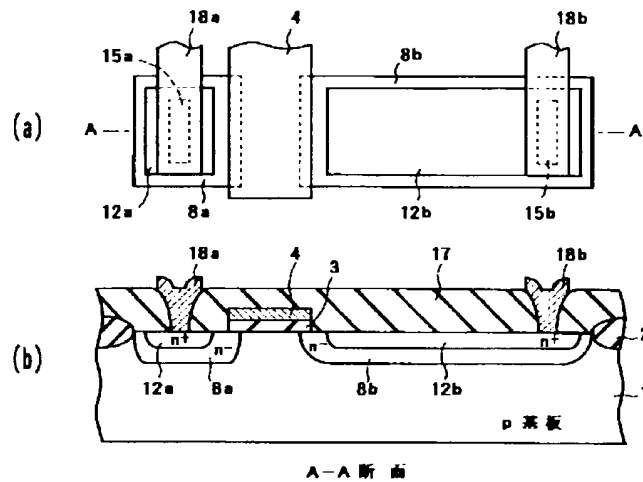
【例 10】



【図15】



【図16】



フロントページの続き

(72)発明者 瀧 場 明

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72)発明者 磯 畑 良

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内